

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076175

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H01L 23/12

H01L 23/28

H01L 23/50

H01L 25/10

H01L 25/11

H01L 25/18

(21)Application number : 2000-266910

(71)Applicant : SONY CORP

(22)Date of filing : 04.09.2000

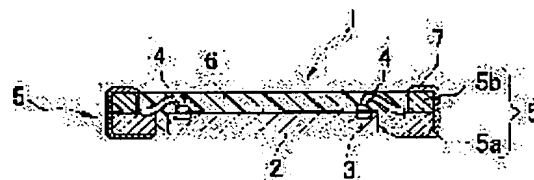
(72)Inventor : HOKARI SUMIO

(54) SEMICONDUCTOR PACKAGE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor package suitable for stacked multi-chip module mounting by reducing the manufacturing cost of the semiconductor package, contriving high density and contriving thinning.

SOLUTION: The semiconductor package comprises a semiconductor chip, an outside terminal conducted by the semiconductor chip and a lead wire, and a mold part protecting and sealing them. The outside terminal is composed of at least two-stage overlapping, exposed to the three faces of the bottom face, the side and the upper face of the mold part, the semiconductor package suitable for the laminated multi-chip module mounting can be made, the plural-stage overlapped outside terminal is utilized to contrive high density by facilitating the lamination of a different kind of chips, and since it dispenses with a die pad, the whole can be thinned.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-76175
(P2002-76175A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int. Cl. ⁷	識別記号	F I	サーチコード* (参考)
H 0 1 L	23/12	H 0 1 L	A 4 M 1 0 9
	23/28		R 5 F 0 6 7
	23/50		L
	25/10		Z
	25/11		

審査請求 未請求 請求項の数 9 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2000-266910 (P2000-266910)

(22) 出願日 平成12年9月4日 (2000.9.4)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 徳苅 澄夫

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100083174

弁理士 佐々木 功 (外1名)

Fターム(参考) 4M109 A4G1 B4G1 CA21 DA04 DB15

FA01

5F067 A4G1 AA02 A804 BA03 BE10

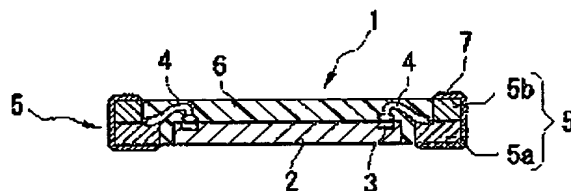
DA05 DA07 DD00 DD01

(54) 【発明の名称】 半導体パッケージおよびその製造方法

(57) 【要約】

【課題】 半導体パッケージの製造コストを低減させること、高密度化を図ることおよび薄型化を図って積層マルチチップモジュール実装に適したものとすること。

【解決手段】 半導体チップと、該半導体チップとリード線と導通した外部端子と、それらを保護封止したモールド部とからなり、前記外部端子は少なくとも二段重ねで構成し、且つ前記モールド部の底面、側面および上面の三面に露出している構成としたことによって、積層マルチチップモジュール実装に適した半導体パッケージとすることができ、しかも、複数段重ねた外部端子を利用して異種チップの積層が容易で高密度化が図れると共に、ダイバットを不要としたので全体を薄型化できる。



【特許請求の範囲】

【請求項1】 半導体チップと、該半導体チップとリード線と導通した外部端子と、それらを保護封止したモールド部とからなり、前記外部端子は少なくとも二段重ねで構成し、且つ前記モールド部の底面、側面および上面の三面に露出していることを特徴とする半導体パッケージ。

【請求項2】 半導体チップの下面はモールド部の下面において露出していることを特徴とする請求項1に記載の半導体パッケージ。

【請求項3】 半導体チップ上に更に別品種の半導体チップが接着剤を介して配設され、該別品種の半導体チップは別の外部端子と導通していることを特徴とする請求項1または2に記載の半導体パッケージ。

【請求項4】 重ね合わせて形成した外部端子は、半導体チップ側において段差をもって形成されていることを特徴とする請求項1または3に記載の半導体パッケージ。

【請求項5】 外部端子の露出している部分に、半田皮膜を形成したことを特徴とする請求項1、3または4に記載の半導体パッケージ。

【請求項6】 プレート状キャリアに、複数の外部端子となるリード部とモールド成型エリアとを備えた少なくとも二枚のリードフレームを積層状態で位置決めし、その位置決め状態でモールド成型エリアに対して半導体チップの供給・仮固定と、半導体チップの電極と外部端子とのワイヤボンディングによる接続と、モールド封止とを行うことを特徴とする半導体パッケージの製造方法。

【請求項7】 少なくとも二枚重ねにした下部リードフレームのモールド成型エリアの下面側にテープを貼り付け、

該テープ上に半導体チップの供給・仮固定と、半導体チップの電極と外部端子とのワイヤボンディングによる接続と、モールド封止とを行うことを特徴とする請求項6に記載の半導体パッケージの製造方法。

【請求項8】 モールド封止部分が硬化した後またはテープを剥離した後半導体パッケージ毎に切断分離することを特徴とする請求項6または7に記載の半導体パッケージの製造方法。

【請求項9】 半導体パッケージ毎に切断分離した後、半田コート工程を行って外部端子に半田皮膜を形成することを特徴とする請求項6、7または8に記載の半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄型で且つ複数の半導体チップを積層可能にした構造の半導体パッケージおよびその製造方法に関するものである。

【0002】

【従来の技術】近年、携帯端末を始めとする小型電子機器は、高性能化および携帯の利便性の追求が著しく、それに使用される半導体装置も、より小型化、薄型化、高性能化が求められている。その一つの対策として、複数の半導体チップ或いは半導体パッケージを積層した、いわゆるマルチ積層構造のものが提案されている。例えば、特開平2-134859号公報に開示された「マルチチップ半導体装置とその製造方法」の発明が公知になっている。

【0003】この公知の半導体装置は、フィルムキャリアテープに半導体チップを電気的に接続したフィルムキャリア半導体装置であって、アウターリードの一部を折り曲げ、フィルムキャリア基材裏面に固着して表裏導通を行ったものであり、片面キャリアのフィルムキャリアテープを用いて両面配線が可能にし、その両面配線によってマルチ積層ができるようにしたものである。

【0004】

【発明が解決しようとする課題】しかしながら、これら従来例のマルチチップ半導体装置には、TAB接続をベースにしていることから、薄型化には有効であるが、半導体チップの電極にバンプの形成が必要であり、ベースとなるテープ基板は半導体チップ電極の配列によりそれぞれ異なる品種が必要であること、従来のワイヤーボンディング、モールド封止工程からなるプラスチックパッケージの生産ラインの有効利用が図り難い等の理由により、製造コストが高くなってしまうという問題点があった。

【0005】また、近年高密度化の一つの手段として、一つのパッケージの中に二種類の半導体チップを積層する技術が出現しているが、前記従来例のフィルムキャリア基材では構造上において異なる半導体チップの積層自体が難しいという問題点を有している。

【0006】更に、従来のプラスチックパッケージにおいては、リードフレームを取り付けたベース部材に半導体チップを実装するものであるが、その実装はベース部材に設けられたダイパット上に固定するものであり、その構成部材としてベース部材とダイパットを不可欠にしているため薄型化が困難であるという問題点を有している。

【0007】従って、従来技術においては、パッケージの製造コストを低減させること、高密度化を図ることおよび薄型化を図ること、に解決しなければならない課題を有している。

【0008】

【課題を解決するための手段】前記従来例の課題を解決する具体的手段として本発明は、半導体チップと、該半導体チップとリード線と導通した外部端子と、それらを保護封止したモールド部とからなり、前記外部端子は少なくとも二段重ねで構成し、且つ前記モールド部の底

面、側面および上面の三面に露出していることを特徴とする半導体パッケージを提供するものである。また、本発明においては、プレート状キャリアに、複数の外部端子となるリード部とモールド成型エリアとを備えた少なくとも二枚のリードフレームを積層状態で位置決めし、その位置決め状態でモールド成型エリアに対して半導体チップの供給・仮固定と、半導体チップの電極と外部端子とのワイヤボンドによる接続と、モールド封止とを行うことを特徴とする半導体パッケージの製造方法を提供するものである。

【0009】そして、半導体パッケージの発明においては、半導体チップの下面はモールド部の下面において露出していること；半導体チップ上に更に別品種の半導体チップが接着剤を介して配設され、該別品種の半導体チップは別の外部端子と導通していること；重ね合わせて形成した外部端子は、半導体チップ側において段差をもって形成されていること；および外部端子の露出している部分に、半田皮膜を形成したこと；を付加的な要件として含むものである。

【0010】また、製造方法の発明においては、少なくとも二枚重ねにした下部リードフレームのモールド成型エリアの下面側にテープを貼り付け、該テープ上に半導体チップの供給・仮固定と、半導体チップの電極と外部端子とのワイヤボンドによる接続と、モールド封止とを行うこと；モールド封止部分が硬化した後またはテープを剥離した後に半導体パッケージ毎に切断分離すること；および半導体パッケージ毎に切断分離した後に、半田コート工程を行って外部端子に半田皮膜を形成すること；を付加的な要件として含むものである。

【0011】本発明に係る半導体パッケージによれば、外部端子は少なくとも二段重ねで構成し、且つ前記モールド部の底面、側面および上面の三面に露出している構成としたことにより、積層マルチチップモジュール実装に適したものとすることができ、しかも、異種チップの積層が容易で高密度化が図れると共に、全体を薄型化できるのである。

【0012】また、本発明に係る半導体パッケージの製造方法は、少なくとも二枚のリードフレームを積層状態で位置決めし、その位置決め状態でモールド成型エリアに対して半導体チップの供給・仮固定と、半導体チップの電極と外部端子とのワイヤボンドによる接続と、モールド封止とを一貫して行うものであるため、製造が容易であり、プラスチックパッケージの生産ラインをそのまま利用できるため、製造コストを著しく低減させることができるのである。

【0013】

【発明の実施の形態】次に、本発明に係る半導体パッケージについて好ましい実施の形態を図面を参照して説明する。まず、図1～4に示した第1の実施の形態において、半導体パッケージ1は、その略中央部に位置した半

導体チップ2と、該半導体チップ2の両端部側に設けられている複数の電極3にそれぞれ一端が接続された金線からなる複数のリード線4と、これら各リード線4の他端がそれぞれ接続された外部端子5と、これら半導体チップ2、リード線4および外部端子5を保護するために樹脂により封止したモールド部6とから構成され、該モールド部6によってパッケージとしての強度と全体形状が維持されている。

【0014】このようにモールド部6によってパッケージ形態が維持される構成に形成することで、半導体チップ2の下面とモールド部6の下面とが同一面に形成され、且つ半導体チップ2の下面が露出した状態に形成される。

【0015】また、この実施の形態における外部端子5は、第1のリード5aと第2のリード5bとを二段重ねにし、且つ段差をもって形成したものである。このように二段重ねで外部端子5を形成することにより、その底面、側面および上面の三面を露出させた状態で形成でき、それによって積層マルチチップモジュール実装に適した外部端子形態になる。そして同時に二段重ねの段差を利用して、各リード線4の他端を第1のリード5aに安定した状態で接続できる。

【0016】外部端子5の露出している三面には、半田皮膜7が所定厚さをもって形成される。この半田皮膜7の形成によって、二段重ねの第1のリード5aと第2のリード5bとが一体化され、面接触によるギャップが解消され電気的導通が安定すると共に、側面において捲れ現象が完全に解消され、更に、複数の半導体パッケージの積層実装、即ち、積層マルチチップモジュール実装をより一層容易にしたものである。

【0017】このように構成された半導体パッケージ1は、図4に示したように、その複数のマザー基板8に積層実装したものである。つまり、マザー基板8上に設けられた配線パターン9に対して各外部端子5が電気的に接続されるように載置配設して実装するものであり、配線パターン9の高さ（厚み）と半田皮膜7の厚みとによって、マザー基板8と半導体パッケージ1における半導体チップ2との間に所定の隙間10が維持された状態で、しかも半田皮膜7によって確実な強度および電気導通性をもって積層実装することができる。

【0018】従って、半導体パッケージ1は、その下面側に半導体チップ2が露出しているも、各外部端子5に設けられた半田皮膜7の存在によって、実装の段階でマザー基板8に面接触することはないのである。そして、複数の半導体パッケージ1を積層しても、各外部端子5に設けられた半田皮膜7同士が接触し、各半田皮膜7の厚みによって積層した半導体パッケージ1における上面と下面との間に所定の隙間11が生じ、面同士の接触が避けられ放熱性も良好になる。

【0019】図5～図9に第2の実施の形態を示してあ

る。この実施の形態における半導体パッケージ21は、その略中央部に異なる品種の半導体チップ22、23を積層した構成を有し、セットの高密度実装を可能としたものである。

【0020】即ち、半導体チップ22の上面に、例えば、接着剤24などを介して異品種の半導体チップ23を積層し、これら各半導体チップ22、23の各両端部側に設けられている複数の電極25、26にそれぞれ一端子が接続された金線からなる複数のリード線27、28と、これら各リード線27、28の他端がそれぞれ接続された外部端子29、30と、これら半導体チップ22、23とリード線27、28および外部端子29、30を保護するために樹脂により封止したモールド部31とから構成され、該モールド部31によってパッケージとしての強度と全体形状が維持されている。

【0021】このようにモールド部31によってパッケージ形態が維持される構成に形成することで、下部の半導体チップ22の下面とモールド部31の下面とが同一面に形成され、且つ半導体チップ22の下面が露出した状態に形成される。

【0022】そして、この実施の形態における外部端子29、30は、交互に形成されており、一方の外部端子29は下部の半導体チップ22用のものであって、第1のリード29aと、第2のリード29bと、第3のリード29cとを三段重ねにし、且つそれぞれが段差をもって形成されたものである。また、他方の外部端子30は上部の半導体チップ23用のものであり、同様に第1のリード30aと、第2のリード30bと第3のリード30cとを三段重ねにし、且つそれぞれが段差をもって形成されたものである。

【0023】このようにいずれの外部端子29、30も三段重ねで形成することにより、前記第1の実施の形態と同様に、その底面、側面および上面の三面を露出させた状態で形成でき、それによって積層マルチチップモジュール実装に適した外部端子形態になる。そして、下部の半導体チップ22は、三段重ねの段差を利用し、各リード線27の他端を第1のリード29aに接続し、上部の半導体チップ23における各リード線28の他端は、第2のリード30bに接続するものであり、上面から見て下部の半導体チップ22のリード線27と上部の半導体チップ23のリード線28とがクロスするように見受けられるが、両者は上下方向に所定の間隔をもってショートしない状態で配設され、それぞれ安定した状態で接続できるのである。

【0024】更に、これら各外部端子29、30の露出している三面には、それぞれ半田皮膜32、33が所定厚さをもって形成される。これらの半田皮膜32、33の形成によって、それぞれ三段重ねの第1のリード29a、30aと、第2のリード29b、30bと、第3のリード29c、30cとが一体化され、各リードの面接

触によるギャップが解消され電気的導通が安定すると共に、側面において捲れ現象が完全に解消される。更に、複数枚の半導体パッケージの積層実装、即ち、積層マルチチップモジュール実装をより一層容易にしたものである。

【0025】このように構成された半導体パッケージ31は、図9に示したように、その複数枚をマザー基板34に積層実装したものである。つまり、マザー基板34上に設けられた配線パターン35に対して各外部端子29、30がそれぞれ電気的に接続されるように載置配設して実装するものであり、マザー基板34側の配線パターン35の高さ（厚み）と半田皮膜32、33の厚みとによって、マザー基板34と半導体パッケージ31における半導体チップ22との間に所定の隙間40が維持された状態で、しかも半田皮膜32、33によって確実な強度および電気導通性をもって積層実装することができる。

【0026】従って、この第2の実施の形態における半導体パッケージ31においても、その下面側に半導体チップ22が露出しているが、各外部端子29、30に設けられた半田皮膜32、33の存在によって、実装の段階でマザー基板34に面接触することはないのである。また、複数枚の半導体パッケージ31を積層しても、各外部端子29、30にそれぞれ設けられた半田皮膜32、33同士が接触し、各半田皮膜32、33の厚みによって積層した半導体パッケージ31における上面と下面との間に所定の隙間41が生じ、面同士の接触が避けられ放熱性も良好になるのである。

【0027】次に、第1の実施の形態に係る半導体パッケージ1について、その製造方法を説明する。まず、図10～図13に示した第1の製造方法について説明すると、半導体パッケージにおける二段重ねの外部端子を構成する第1のリード5aを形成するための第1のリードフレーム50と、第2のリード5bを形成するための第2のリードフレーム51とを準備する。

【0028】これらリードフレーム50、51は、図10と図11とにそれぞれ示したように、例えば、0.125mm厚さの比較的薄い長方形の金属板を用い、例えば、プレス加工またはエッチング加工によって、半導体チップ2がセットされモールド成型エリアとなる空間部53を、リード5aとなる部分は長く、リード5bとなる部分は短く内側に突出させた状態で寸法精度良く、隣接状態で複数個それぞれ形成する。そして、位置合わせ用の小孔54をリードフレーム50、51の所定位置に設けてある。なお、図示したリードフレーム50、51は理解を容易にするため、モールド成型エリアとなる空間部53が4個形成されたものを用いているが、これに限定されることなく、例えば、一列4個で4列、計16個の空間部が形成されたもの、または、一列10個で5列、計50個の空間部が形成されたもの等が使用できる

のである。要するに、リードフレームには、複数個のモールド成型エリアとなる空間部53が設けられているのである。

【0029】このように形成されたリードフレーム50、51を、図12に示したように、吸着手段と位置決め手段とを有するプレート状のキャリア55上に重ねて載置する。吸着手段はバキュームパイプ56と、該バキュームパイプ56に連通した複数の吸着口57とから構成され、位置決め手段は複数個の位置決め用のピン58である。そして、位置決め用のピン58に小孔54を挿通させるようにして両リードフレーム50、51をキャリア55に載置することにより、両リードフレーム50、51が設定した正確な位置に重ねられ、第1のリード5a上に第2のリード5bが重なり合ってセットされ、半導体チップ2がセットされる各空間部53の略中央部にそれぞれ吸着口57が臨むようになる。

【0030】このリードフレームのセット工程後に半導体チップの保持工程を行う。即ち、図13(A)に示したように、半導体チップ2を空間部53の中央部にそれぞれセットし、バキュームパイプ56を介して吸引することにより、吸着口57で半導体チップ2を仮固定の状態に吸着保持する。仮固定された半導体チップ2は、第1のリード5aの先端から所定の間隔をもって位置し、全体として第1のリード5aおよび第2のリード5bによって取り囲まれた状態になる。

【0031】次に、吸着保持を維持した状態で、図13(B)に示したように、ワイヤボンディング工程を行う。このワイヤボンディング工程は、従来のプラスチックパッケージで行っている工程をそのまま利用することができるものであって、半導体チップ2の各電極3と第1のリード5aとの間で金線(リード線4)を用いてワイヤボンディングを行うのである。

【0032】ワイヤボンディング工程後に、図13(C)に示したように、樹脂封止工程を行う。この樹脂封止工程においては、プレート状のキャリア55を下型とし、上部から平板状の上型(図示せず)を当接させてリードフレーム50、51を挟み込んだ状態にし、上型に設けられた注入口から樹脂を注入し、加圧・熱硬化させることにより空間部53を封止して第1のリード5a、第2のリード5bおよび半導体チップ2と一体的に形成される。

【0033】このようにキャリア55に対してリードフレーム50、51をセットし、半導体チップ2を適正位置に供給保持した状態で、ワイヤボンディング工程と樹脂封止工程とを行うものであり、樹脂が硬化してモールド部6が形成された後に、吸着手段を解除してキャリア55からリードフレーム50、51をピックアップし、次の工程に移送するのである。

【0034】次の工程は、図13(D)に示したように、リードフレーム50、51から各半導体パッケージ毎の切り離し工程であり、ブレードまたはレーザーカッ

ト等の切断手段により、第1のリード5aおよび第2のリード5bの付け根部分と空間部53の両側面に沿って切断し、リードフレームから分離することで半導体パッケージとして個々に独立した状態になる。

【0035】このように切断分離することで、第1のリード5aおよび第2のリード5bは半導体パッケージにおける上面、側面および下面に露出した状態に形成されて外部端子5となり、且つ半導体チップ2の下面は、モールド部6の下面と面一となって露出した状態に形成される。

【0036】そして、個々に独立した半導体パッケージは、図13(E)に示したように、上面、側面および下面に露出している外部端子5、即ち第1のリード5aおよび第2のリード5b部分は、半田コート工程によって、所定厚さの半田皮膜7で覆われて完成した半導体パッケージ1が製造できる。

【0037】更に、第2の製造方法について図14および図15を用いて説明する。この第2の製造方法においても図10および図11に示されたリードフレーム50、51が用いられるものであって、キャリアの構成が異なるものである。即ち、プレート状のキャリア60には、吸着保持手段がなく複数個の位置決め用のピン58しか設けられていないのである。

【0038】そこで、キャリア60にリードフレーム50、51をセットする段階で、例えば、所定大きさの接着機能を有するフィルムまたは両面接着テープ61を用いリードフレーム50の下面側から各空間部53を蓋ぐようにそれぞれ貼着させ、位置決め用のピン58に小孔54を挿通させ位置合わせをして、両リードフレーム50、51をキャリア60上にセットする。このようにセットすることで、第1のリード5a上に第2のリード5bが重なり合って位置し、下部のリードフレーム50は両面接着テープ61によって動かないように安定した状態にキャリア60上にセットされる。

【0039】両面接着テープ61について、その大きさはリードフレーム50の空間部53よりもやや大き目のものについて図示したが、これに限定されることなく、例えば、仮想線で示したように、リードフレーム50がセットされる位置の略全貌に渡って広がる大きさの両面接着テープ61aであっても良い。そして、その接着力については、要するに、キャリア60上にセットしたリードフレーム50が作業工程においてずれない程度に保持すれば足りるので、比較的弱く且つ剥離しやすいものが選択される。

【0040】このようにキャリア60にリードフレーム50、51をセットした後に半導体チップの保持工程を行う。即ち、図15(A)に示したように、半導体チップ2を空間部53の中央部にそれぞれ供給しセットすることにより、両面接着テープ61の存在により仮固定の状態に接着保持される。仮固定された半導体チップ2

は、第1のリード5aの先端から所定の間隔をもって位置し、全体として第1のリード5aおよび第2のリード5bによって取り囲まれた状態になる。

【0041】次に、接着保持を維持した状態で、図15(B)に示したように、ワイヤボンディング工程を行う。このワイヤボンディング工程は、前記第1の方法と同様に、半導体チップ2の各電極3と第1のリード5aとの間で金線（リード線4）を用いてワイヤーボンディングを行うのである。

【0042】ワイヤボンディング工程後に、図15(C)に示したように、樹脂封止工程を行う。この樹脂封止工程においても、前記第1の方法と同様に、プレート状のキャリア60を下型とし、上部から平板状の上型（図示せず）を当接させてリードフレーム50、51を挟み込んだ状態にし、上型に設けられた注入口から樹脂を注入し、加圧・熱硬化させることにより空間部53を封止して第1のリード5a、第2のリード5bおよび半導体チップ2と一体的に形成される。

【0043】いずれにしても両面接着テープ61により、キャリア60に対してリードフレーム50、51と半導体チップ2とを接着保持した状態で、ワイヤボンディング工程と樹脂封止工程とを行うものであり、樹脂が硬化してモールド部6が形成された後に、図15(D)に示したように、テープ剥離工程を経てキャリア60からリードフレーム50、51を剥がすと共にリードフレーム50からも両面接着テープ61を剥がして、次の工程に移送するのである。

【0044】この次の工程は、前記第1の方法と同様に、図15(E)に示した切り離し工程と、図15(F)に示した半田コート工程であり、これ等が順次行われる。切り離し工程は、ブレードまたはレーザーカット等の切断手段により、第1のリード5aおよび第2のリード5bの付け根部分と空間部53の両側面に沿って切断し、リードフレームから分離することで半導体パッケージとして個々に独立した状態にし、半田コート工程は、独立した半導体パッケージの上面、側面および下面に露出している外部端子5、即ち第1のリード5aおよび第2のリード5b部分を、所定厚さの半田皮膜7で覆って完成した半導体パッケージ1とするものである。

【0045】なお、上記の第1および第2の製造方法は、第1の実施の形態に係る半導体パッケージ1についての製造方法であるが、第2の実施の形態に係る半導体パッケージ21についても、長さの異なる第1～第3のリード29a、29b、29cを有する3種類のリードフレームを使用するだけであり、また、半導体チップの供給保持工程においては、予め異なる半導体チップを積層したものや、または一方の半導体チップの上面または下面に予め接着剤を用いて順次供給してセットすることができるのであり、更に、ワイヤボンディング工程においても、下部の半導体チップ22と上部の半導体

チップ23に対してそれぞれ行われるのであるから、実質的に上記第1および第2の製造方法がそのまま採用できるのである。

【0046】図みに、第1の実施の形態に係る半導体パッケージ1は、半導体チップ2の厚みが略100μm、ワイヤ（リード線4）高さが略150μm以下であり、第1のリード5aと第2のリード5bの厚みがそれぞれ0.125mmで形成されることから、トータルの半導体パッケージ1の高さは0.25mmの超薄型に形成できる。また、第2の実施の形態に係る半導体パッケージ21においても、三枚重ねのリードであるから、リード厚さ0.125mm×3=0.375mmの超薄型に形成できるのであり、いずれの実施の形態においても、外部端子5、29に半田皮膜7、32が形成されているので、積層実装が容易に行えるものとなるのである。

【0047】特に、半導体チップの高集積化・シュリンク化が望まれていることから、半導体チップの電極が狭ピッチ化する傾向にあり、それによって必然的にリード（外部端子）も狭ピッチ化し、パッケージ全体の小型化が要求されている。本発明では、リードを形成するためのリードフレーム50、51として板状の金属材料を用いており、これをプレス加工かエッチング加工によってリード部分を形成するものであるが、リードのピッチ形成加工は、金属材料の板厚に左右されるものであり、板厚が薄ければ薄いほど狭ピッチ加工が可能になるのであり、その点で薄い板厚で形成された少なくとも二枚のリードフレームを重ねて使用することで、フレーム（外部端子）の狭ピッチ化が図れ、小型化のニーズに対応させることができるのである。

【0048】

【発明の効果】以上説明したように、本発明に係る半導体パッケージは、半導体チップと、該半導体チップとリード線と導通した外部端子と、それらを保護封止したモールド部とからなり、前記外部端子は少なくとも二段重ねで構成し、且つ前記モールド部の底面、側面および上面の三面に露出している構成としたことにより、積層マルチチップモジュール実装に適したものとすることができ、しかも、複数段重ねた外部端子を利用して異種チップの積層が容易で高密度化が図れると共に、ダイバットを不要としたので全体を薄型化できるという優れた効果を奏する。

【0049】また、本発明に係る半導体パッケージの製造方法は、プレート状キャリアに、複数の外部端子となるリード部とモールド成型エリアとを備えた少なくとも二枚のリードフレームを積層状態で位置決めし、その位置決め状態でモールド成型エリアに対して半導体チップの供給・仮固定と、半導体チップの電極と外部端子とのワイヤボンディングによる接続と、モールド封止とを行うものであって、製造が容易で、しかも、一般的に使用されているプラスチックパッケージの製造ラインをそのまま利

用して、超薄型の積層実装が可能な半導体パッケージを低コストで製造することができるという優れた効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体パッケージを示した平面図である。

【図2】同半導体パッケージの断面図である。

【図3】同半導体パッケージの要部のみを拡大して示した斜視図である。

【図4】同半導体パッケージをマルチ積層実装状態を示す断面図である。

【図5】本発明の第2の実施の形態に係る半導体パッケージを示した平面図である。

【図6】同半導体パッケージの一つの部分の断面図である。

【図7】同半導体パッケージの他の部分の断面図である。

【図8】同半導体パッケージの要部のみを拡大して示した斜視図である。

【図9】同半導体パッケージをマルチ積層実装状態を示す断面図である。

【図10】本発明に係る半導体パッケージの製造に用いられる一例のリードフレームの一部を示す平面図である。

【図11】本発明に係る半導体パッケージの製造に用い*

*られる他の例のリードフレームの一部を示す平面図である。

【図12】本発明に係る半導体パッケージの第1の製造方法を説明するための略示的斜視図である。

【図13】同製造方法の製造工程を(A)～(E)に順序立てて略示的に示した断面図である。

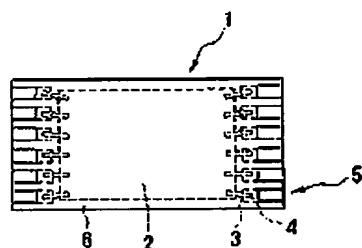
【図14】本発明に係る半導体パッケージの第2の製造方法を説明するための略示的斜視図である。

【図15】同製造方法の製造工程を(A)～(E)に順序立てて略示的に示した断面図である。

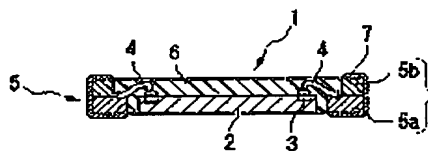
【符号の説明】

1. 21 半導体パッケージ、 2. 22、23 半導体チップ、 3. 25、26 電極、 4. 27、28 リード線、 5. 29、30 外部端子、 5a. 29a、30a 第1のリード、 5b、29b、30b 第2のリード、 6. 31 モールド部、 7. 32、33 半田皮膜、 8. 34 マザー基板、 9. 35 配線パターン、 10、11、40、41 間隙、 29c、30c 第3のリード、 50 第1のリードフレーム、 51 第2のリードフレーム、 53 モールド成型エリアとなる空間部、 54 小孔、 55、60 キャリア、 56 バキュームパイプ、 57 吸着口、 58 位置決め用のピン、 61、61a 接着機能を有するフィルムまたは両面接着テープ。

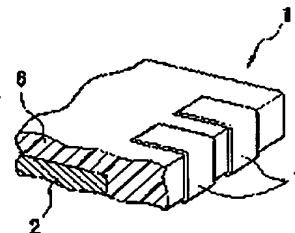
【図1】



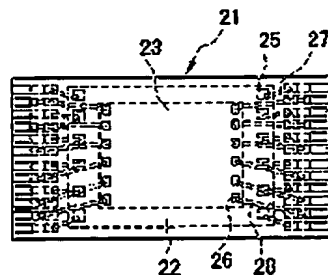
【図2】



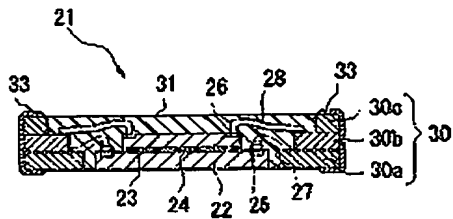
【図3】



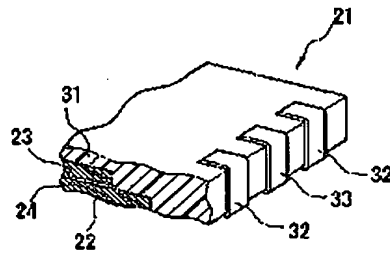
【図5】



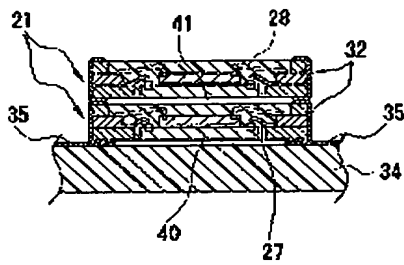
【図7】



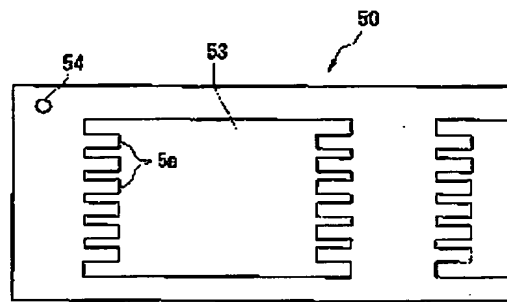
【図8】



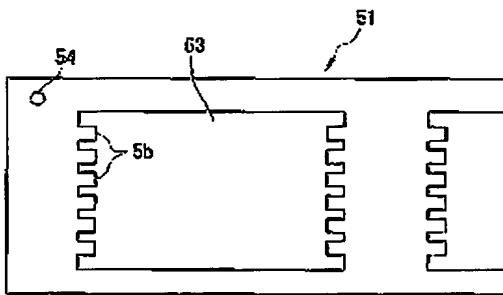
【図9】



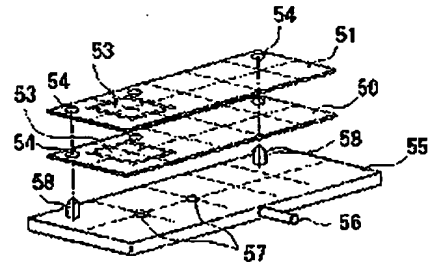
【図10】



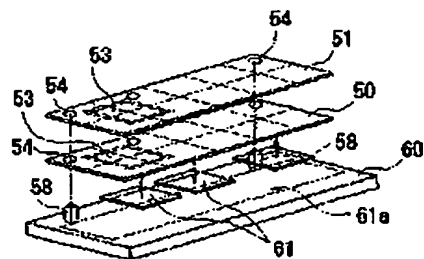
【図11】



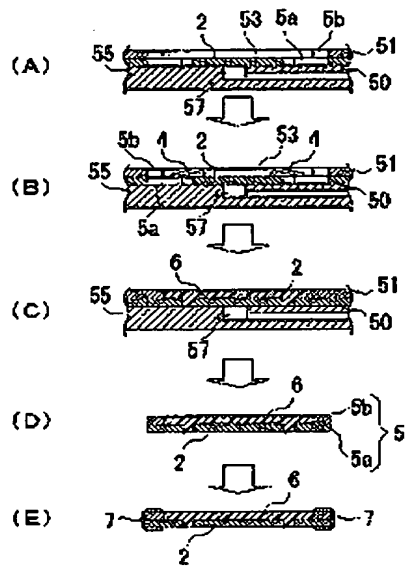
【図12】



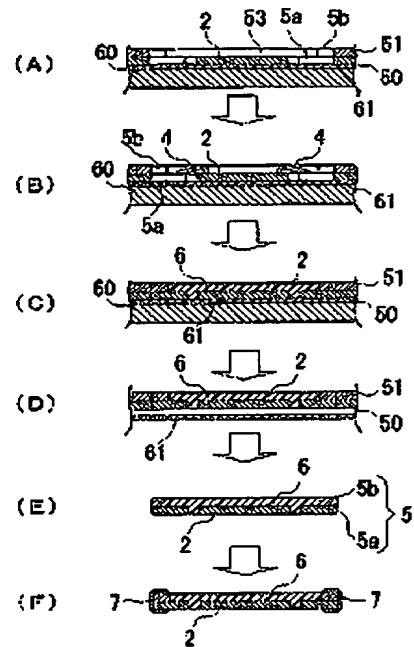
【図14】



【図13】



【図15】



フロントページの続き

(51)Int.Cl.
H01L 25/18

識別記号

F I

シーコード (参考)